

電子材料

3
2003

【全冊特集】フレキシブル生産に対応する半導体製造装置

FPA-6000 AS4
Fine Pattern Aligner



Canon
キヤノン販売株式会社

Cuドライイオンプレーティング装置

丸 中 正 雄*
大 竹 聖 司**
渡 辺 一 彦***
滝 川 浩 史†

開発の背景

新明和工業では、ヘッドランプ用のプラズマ重合装置やアクリル基板、プラスチックなどの基板に対して無加熱でも高品位な膜質を得ることのできる成膜装置「SPDイオンコータ (Super Plasma High Density ion coater)」を開発し、合わせてこれを用いた成膜プロセスを開発することで、主として光学膜分野への応用を拡大してきた。これまで培った真空技術をベースに、今回新たに半導体基板にCu (銅) 成膜をドライプロセスで行う成

配線材料はアルミからCuに替わってきている。現状、Cu配線はダマシン法によるウェットプロセス (電気めっき) で行われている。しかしながら、電気めっきには電極としてのシード膜が必要であることや薬液調整の煩雑さ、廃液処理の問題がある。また、ダマシン法でスパッタ装置とめっき装置の2種類の装置が必要であり、一連のシステムが高価なことも問題である。これらの問題を解決するため、従来の真空成膜装置では困難であった高アスペクト比の半導体基板のCu成膜が容易に実現できるCuドライイオンプレーティング装置を開発した。

膜装置を開発した。

近年、半導体の高速化・微細化に伴ない、配線材料はアルミからCuに替わってきている。現状、Cu配線はダマシン法によるウェットプロセス (電気めっき) で行われており、デザインルールが $0.13\mu\text{m}$ まで対応している。しかしながら、電気めっきには電極としてのシード膜が必要であることや薬液調整の煩雑さ、廃液処理の問題がある。また、ダマシン法でスパッタ装置とめっき装置の2種類の装置が必要であり、一連のシステムが高価なことも問題である。

これらの問題を解決するため、従来の真空成膜装置では困難であった高アスペクト比の半導体基板にCu成膜が容易に実現できる「Cuドライイオンプレーティング装置」を開発した。蒸発源には、豊橋技術科学大学滝川助教授の指導のもと、磁気フィルタ型真空アーク放電を用いたFAD (Filtered Arc Deposition) ガンを当社で製作し、Cuドライイオンプレーティング装置に組み込んだ。

開発体制を図1に示す。装置の製造を新明和工業、販売を日製エレクトロニクス、技術コンサルティングをつくばセミテクノロジーの3社がそれぞれ担当している。

装置の概要

図2にCuドライイオンプレーティング装置の

*Marunaka Masao

新明和工業 (株) 開発センター

〒665-8550 兵庫県宝塚市新明和町1-1
☎0798-56-5023

**Ohtake Kiyoshi

(株)つくばセミテクノロジー テクニカルエキスパート

〒305-0031 茨城県つくば市吾妻1-15-1 大成ビル
☎0298-60-4520

***Watanabe Kazuhiko

(株)日製エレクトロニクス 電子機器営業本部 電子機器1部
部長

〒105-8418 東京都港区西新橋1-24-14
☎03-3504-3858

†Takikawa Hirofumi

豊橋技術科学大学 プラズマナノマテリアル研究室 助教授
工博

〒441-8580 愛知県豊橋市天伯町雲雀ヶ丘1-1
☎0532-44-6727



図1 開発体制

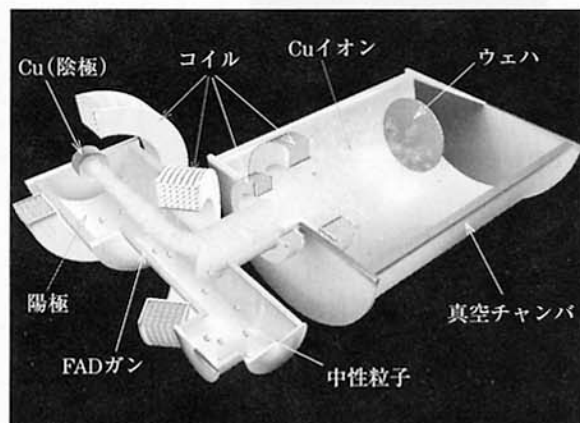


図2 Cuドライイオンプレーティング装置の概念図

概念図を示す。

真空中において陰極—陽極間でアーク放電を行うと陰極表面のアークスポットからCuイオンと中性粒子が発生する。FADガンでは、コイルの磁界によりCuイオンのみを基板側に曲げて、パーティクルの発生原因と考えられる中性粒子の除去を行っている。また、成膜方法としては、イオンプレーティング成膜法を採用している。この成膜方法では当社の固有技術である、直流電源(DC)を高周波電源(RF)に重畳するように配置して、必要な負電位を安定して発生させ、FADガンによってイオン化したCuイオンをより強く基板に引き付けて緻密な膜として堆積させることができる。

Cuドライイオンプレーティング装置の特徴

本成膜装置の主な特徴を以下に列挙する。

- ① バリア膜 (Ta₂N) の成膜ができる。
- ② シード膜が不要でCuの完全埋め込みをボイドフリーで実現できる。

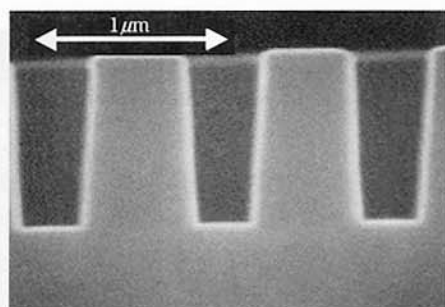
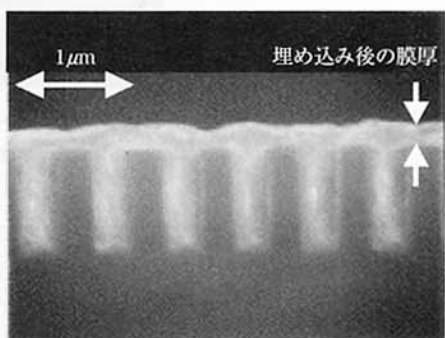
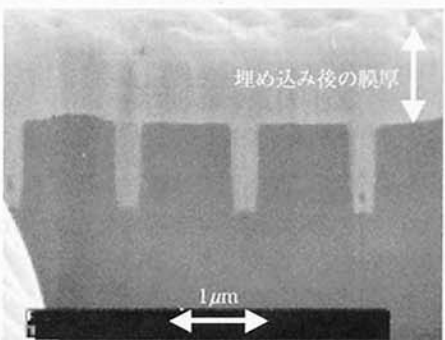


写真1 バリア膜断面SEM写真



(a) Cuドライイオンプレーティング



(b) めっき法

写真2 Cu埋め込み断面SEM写真

- ③ CMP工程の研磨時間が短縮できる。
- ④ 現状ではデザインルールが0.35 μmのCu配線まで可能である。
- ⑤ 成膜速度20 Å/sのCu成膜ができる。

1. バリア膜

写真1に、Cuドライイオンプレーティング装置を用いて、バリアとしてTiNを成膜した時の断面SEM写真を示す。

写真に示した基板はホールサイズ0.35 μmで深さ1 μmの配線パターンである。バリア膜として成膜可能な膜種にはTiN, Ta, TaNなどがある。スパッタ装置に替えて利用できることから、1台の

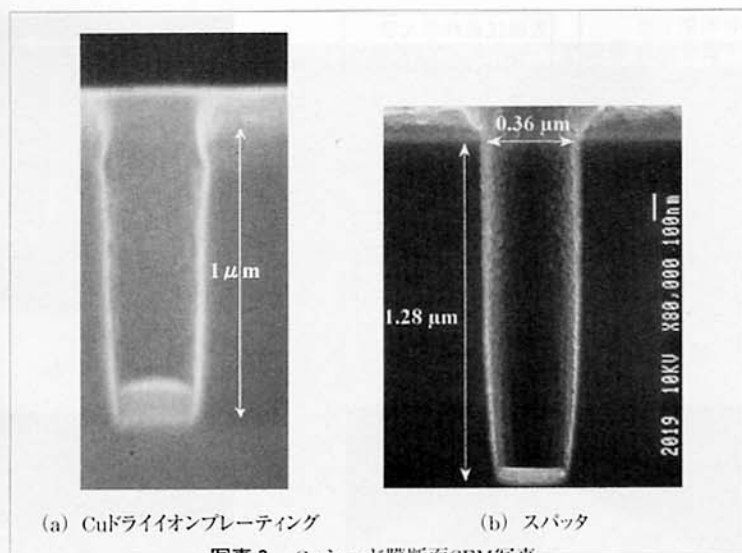


写真3 Cuシード膜断面SEM写真

表1 シード膜の比較

膜厚(カバレッジ)	トップ(nm)	サイド(nm)	ボトム(nm)
Cuドライオンプレーティング装置	150	50(33%)	126(83%)
スパッタリング成膜装置	160	16(10%)	13(8%)

表2 ニーズ調査

対象分野	対象デバイス
通信	携帯電話用RFモジュール
画像処理	PDA, デジカメ, ゲーム
自動車	IGBT(大電流素子)

装置でバリア膜からCu埋め込みまでのプロセスが可能である。

2. Cu埋め込み事例

写真2(a)にCuドライオンプレーティング装置で成膜した断面SEM写真を示す。写真2(b)は従来のめっき法による埋め込み事例の断面SEM写真である。

基板は、線幅 $0.35\mu\text{m}$ で深さ $1\mu\text{m}$ の配線パターンである。この写真から分るように、埋め込み後の膜厚(配線パターン上面の膜厚)はめっき法によるものよりも薄いので、CMP工程の研磨時間を従来の1/10(約30秒)に短縮することができる。

3. シード膜

現状、シード膜はバリア膜と同様にスパッタリング成膜装置で成膜されているが、シード膜のサイドカバレッジとボトムカバレッジが必ずしも十分とはいえ、不十分なカバレッジがマイクロイドの発生につながると言われている。写真3

(a)にCuドライオンプレーティング装置でシード膜用としてCuを成膜した時の断面SEM写真を示す。写真3(b)は従来のスパッタリング成膜装置による埋め込み事例の断面SEM写真である。表1には

Cuドライオンプレーティング装置とスパッタリング成膜装置とによる各カバレッジの比較を示している。

写真3および表1から明らかなように、Cuドライオンプレーティング装置の方がスパッタリング成膜装置よりもCuのカバレッジが良好であり、シード膜用の成膜装置としての利用も期待できる。

実用機の構成予想と今後の予定

実用機は、300mmウェハを対象とし、Cu成膜チャンバとバリア膜チャンバがクラスタツールで構成されており、各プロセスチャンバにFADガンを装着する予定である。成膜のデモ開始予定は2003年9月であり、2004年9月に装置を販売する予定である。

対象分野

対象分野として当初は、現状の $0.35\mu\text{m}$ で対応可能なハイカレント分野(表2)を考えている。その後、パソコン用のCPUなどの分野にも展開する予定である。